

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号
特許第3074574号
(P3074574)

(45) 発行日 平成12年 8 月 7 日 (2000. 8. 7)

(24) 登録日 平成12年 6 月 9 日 (2000. 6. 9)

(51) Int.Cl.⁷
H 0 1 L 31/107

識別記号

F I
H 0 1 L 31/10

B

請求項の数 2 (全 7 頁)

(21) 出願番号	特願平3-205827	(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1 番1号
(22) 出願日	平成3年8月16日 (1991. 8. 16)	(72) 発明者	鬼頭 泰浩 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(65) 公開番号	特開平5-48143	(72) 発明者	鯨塚 治彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(43) 公開日	平成5年2月26日 (1993. 2. 26)	(72) 発明者	三川 孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
審査請求日	平成10年7月24日 (1998. 7. 24)	(74) 代理人	100065798 弁理士 青木 朗 (外3名)
		審査官	濱田 聖司

最終頁に続く

(54) 【発明の名称】 半導体受光素子の製造方法

1

(57) 【特許請求の範囲】

【請求項1】 基板上に、光吸収層、電界降下層、および窓層が下からこの順に配置され、該窓層内に形成された受光部の周囲をガードリングが取り囲んだ構造を有する半導体受光素子を製造する方法において、半導体基板上に、バンドギャップの狭い一導電型低濃度の光吸収層用半導体層を形成する工程、該光吸収層用半導体層上にこれよりもバンドギャップが広く且つ一導電型低濃度のヘテロ緩和層用半導体層を形成する工程、該ヘテロ緩和層用半導体層上に、これよりもバンドギャップが広く且つ一導電型高濃度の電界降下層用半導体層を形成する工程、該電界降下層用半導体層の、該ガードリングに対応する位置に逆導電型の不純物を導入する工程、および該逆導

2

電型不純物の導入後、該電界降下層用半導体層上に、これと同じバンドギャップで且つ該低濃度である一導電型の窓層用半導体層を形成する工程を含むことを特徴とする半導体受光素子の製造方法。

【請求項2】 前記窓層用半導体層の、該ガードリングに対応する位置に、前記逆導電型の不純物を導入する工程を更に含むことを特徴とする請求項1記載の半導体受光素子の製造方法。

【発明の詳細な説明】

10 【0001】

【産業上の利用分野】 本発明は、半導体受光素子の製造方法に関し、特にアバランシェ・フォトダイオード (APD) のガードリング形成方法の改良に関する。光ファイバを用いる光通信の受光素子として、APDは益々多用されているが、伝送速度の高速化など、通信技術の高

度化に伴って高速動作可能なAPDが求められている。

【0002】通常、光通信に使用されるAPDでは、選択拡散によるプレーナ構造が用いられる。しかし、プレーナ構造の場合、ブレイクダウンが拡散領域中央部よりも先に拡散領域周辺部でおきる「エッジ・ブレイクダウン」が生ずる。エッジ・ブレイクダウンは、拡散領域周辺部の曲率半径が小さい程、また不純物濃度勾配が大きい程生じやすい。エッジ・ブレイクダウンが生ずると、電圧を増加させても電流が流れるだけで、拡散領域中央部にある受光部pn接合の逆方向電圧はほとんど増加しないため、APDとしての機能を発揮することができない。そこで、拡散領域周辺部のブレイクダウン電圧を拡散領域中央の平坦部（受光部）のブレイクダウン電圧より高くするために、拡散領域周辺部にガードリングが設けられる。拡散領域周辺部と中央部のブレイクダウン電圧の差が、その素子の信頼性を直接左右するため、良好なガードリングを形成できる製造方法が必要になる。

【0003】

【従来の技術】図3を参照して、従来行われているInP/InGaAs-APDの製造方法を説明する。同図(a)は、基板上にAPDを形成するための各種の半導体層が積層形成された状態を示すもので、面方位(100)の n^+ InP基板301上に、 n^+ InPバッファ層302、 n^- InGaAs光吸収層303、 n^- InGaAsPヘテロ緩和層304、 n^+ InP電界降下層305、 n^- InP窓層306、InGaAsキャップ層307をこの順にエピタキシャル成長したものである。通常、成長方法としては、各層の厚さおよび濃度の制御の高度化のため、また薄膜化のためMOVPEのような気相成長法が用いられる。

【0004】上記積層構造の上に、フォトレジスト308を塗布し、必要なパターンを残す（同図(b)）。レジスト・パターン308をマスクとし、イオン注入によりBe等のp型不純物を注入する（領域309）（同図(c)）。レジスト308を除去し、700℃以上の温度で熱処理し拡散により n^+ InP電界降下層305まで押し込み p^- のガードリング310を形成する（同図(d)）。

【0005】InGaAsキャップ層308を選択エッチングにより除去し、SiN膜311をマスクとして n^- InP窓層306にCd等のp型不純物を選択拡散し p^+ 領域312を形成する。この拡散により生じたpn接合部313と、 n^+ InP電界降下層305との間の n^- InP層306がキャリア増倍層314となる。更に、無反射膜であるSiN膜315と環状の電極(Au/Zn)316を形成し、基板裏面にも電極(AuGe)317を形成し、APDが完成する（同図(e)）。

【0006】この構造の場合、 n^+ InP電界降下層305の濃度をp型不純物であるBeによってどれだけ低

減できるかによってガードリング310のブレイクダウン電圧が決定される。もう一つの従来のAPDの製造方法を、図4を参照して説明する。同図(a)は、基板上にAPDを形成するための各種の半導体層が積層形成された状態を示すもので、面方位(100)の n^+ InP基板401上に、 n^+ InPバッファ層402、 n^- InGaAs光吸収層403、 n^- InGaAsPヘテロ緩和層404、 n^+ InP電界降下層405、InGaAsキャップ層406をこの順にエピタキシャル成長したものである。

【0007】上記積層構造の上に、フォトレジスト407を塗布し、必要なパターンを残し、このレジスト・パターン407をマスクとしてInGaAsキャップ層406を選択エッチングする。（同図(b)）。レジスト407を除去し、その下のInGaAsキャップ層406をマスクとして n^+ InP電界降下層405をメサエッチングし、InGaAsキャップ層406を選択エッチングにより除去する（同図(c)）。

【0008】この上から、 n^+ InP電界降下層のメサ405を埋め込むように n^- InP窓層408を成長させ、その上にInGaAsキャップ層409を形成する（同図(d)）。以下、図3の場合と同様に、SiN膜410をマスクとしてCdを拡散し（領域411）、SiN無反射膜412、電極(Au/Zn)413および(AuGe)414を形成して、埋め込み型のAPDを完成する（同図(e)）。

【0009】この埋め込み型構造のAPDの場合、Cd拡散領域411の周辺部下方の高濃度層が無くなるため、周辺部のブレイクダウン電圧は高くなり、ガードリング310を形成した図3の場合と同様な効果が得られる。

【0010】

【発明が解決しようとする課題】APDを高速動作させるためには、キャリア増倍層にはできるだけ高電界を、また光吸収層には低電界をかけることが必要である。そのためには n^+ InP層の濃度を高くし、この層中での電界降下量をできるだけ大きくしなければならない。各層の濃度および厚さを最適化した場合、例えばGB積100GHzを得ようとする、厚さ数百Åの n^+ InPで 6×10^5 V/cm以上の電界降下量が必要である（図5を参照）。

【0011】図5は、 n^+ -InP層での電界降下量パラメータとしたときのGB積と受光部のブレイクダウン電圧(V_B)およびガードリング部のブレイクダウン電圧(V_{Bg})とを計算により求めた結果を示す。例えば、電界降下量を 5×10^5 V/cmとした場合、受光部のブレイクダウンは33V（図中A）である。この時、ガードリング部の電界降下量を 7.5×10^4 V/cm低くして 4.25×10^5 V/cmとすれば、ガードリング部のブレイクダウン電圧は受光部より10V高い43

Vとなり（図中A'）、充分なガードリング効果が得られる。同様に、受光部、ガードリング部の電界降下量をそれぞれ 6×10^5 V/cm、 5.25×10^5 V/cmとすると、ブレークダウン電圧はそれぞれ26 V（図中B）、28 V（図中B'）となって電位差は2 Vと小さくなり、更に受光部の電界降下量を 6.2×10^5 V/cmとすると受光部とガードリング部のブレークダウン電圧間に電位差はなくなり、ガードリング効果は得られないことがわかる。

【0012】このように、 $n^+ - \text{InP}$ 層を高濃度にした場合、ガードリングの形成が困難になる。すなわち図3の場合は、p型不純物のBeで n^+ 層の濃度を下げてガードリング効果を得る構造となっており、注入後アニールによる拡散でBeを内部まで押し込んでいるため、 n^+ 層付近のBe濃度は低くなってしまふ。そのため n^+ 層濃度を高くするとBeによる n^+ 層濃度の低減は期待できず、良好なガードリングは得られない。 n^+ 層濃度を大きく低減するために注入量を増しBe濃度を高くした場合、 $n^- - \text{InP}$ 層中のガードリング部が p^+ となりガードリングの役割を果たさなくなってしまう。現状では電界降下量 6.2×10^5 V/cmが、ガードリング効果の得られる限界である。

【0013】図4の例の場合は2回成長によるメサ埋め込み型APDであるが、この構造はLPE（Liquid Phase Epitaxy：液相エピタキシャル成長法）では実績があるが、MOVPEでは成功していない。メサ形状が円形であるため種々の面方位が露出しており、成長界面で異常成長が生じてしまう。そのため、素子に逆方向電圧を加えていくと、空乏層が成長界面に達した時点で暗電流が急激に増大してしまう（図6を参照）。

【0014】図6は、素子の暗電流－電圧特性の一例を示すグラフである。図中（a）はメサ形状上に2回成長を行ったもの、（b）は平面上に2回成長を行ったものである。メサ形状上に2回目を成長した（a）では、空乏層が成長界面に到達した約30 V付近より暗電流は急激に増大しているのに対し、平面上に2回目を成長した（b）では、暗電流の界面での増大は観察されていない。このことより、メサ形状上への成長は、素子の低暗電流化に不向きであることが分かる。

【0015】このように、超高速APDを作製しようとした場合、ガードリングの形成が非常に困難であるという問題があった。本発明は、超高速のAPDでも良好なガードリングを形成することができる半導体受光素子の製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体受光素子の製造方法は、基板上に、光吸収層、電界降下層、および窓層が下からこの順に配置され、該窓層内に形成された受光部の周囲をガードリングが取り囲んだ構造を有する半導体受光素子を製

造する方法において、半導体基板上に、バンドギャップの狭い一導電型低濃度の光吸収層用半導体層を形成する工程、該光吸収層用半導体層上にこれよりもバンドギャップが広く且つ一導電型低濃度のヘテロ緩和層用半導体層を形成する工程、該ヘテロ緩和層用半導体層上に、これよりもバンドギャップが広く且つ一導電型高濃度の電界降下層用半導体層を形成する工程、該電界降下層用半導体層の、該ガードリングに対応する位置に逆導電型の不純物を導入する工程、および該逆導電型不純物の導入後、該電界降下層用半導体層上に、これと同じバンドギャップで且つ該低濃度である一導電型の窓層用半導体層を形成する工程を含むことを特徴とする。

【0017】

【作用】本発明の半導体受光素子の製造方法によれば、電界降下層に直接不純物を注入できるので、この部分の不純物濃度を高くすることによって電界降下層の濃度を大きく低減でき、従来の埋め込み型APDと同様なガードリング効果が得られる。

【0018】更に、2回目の成長を平面のウェハ上に行うことができるので、成長界面の暗電流の増加を防止することができる。以下に、実施例によって本発明を更に詳細に説明する。

【0019】

【実施例】〔実施例1〕図1を参照して、本発明に従った半導体受光素子の製造方法の工程の一例を説明する。同図（a）は、基板上にAPDを形成するための各種の半導体層が積層形成された状態を示すもので、面方位（100）の $n^+ - \text{InP}$ 基板101上に、 $n^+ - \text{InP}$ バッファ層102、 $n^- - \text{InGaAs}$ 光吸収層103、 $n^- - \text{InGaAsP}$ ヘテロ緩和層104、 $n^+ - \text{InP}$ 電界降下層105、 InGaAs キャップ層106をこの順にエピタキシャル成長したものである。通常、成長方法としては、各層の厚さおよび濃度の制御の高度化のため、また薄膜化のためMOVPEのような気相成長法が用いられる。

【0020】上記積層構造の上に、フォトリソ107を塗布し、必要なパターンを残す（同図（b））。レジスト・パターン107をマスクとし、イオン注入によりBe等のp型不純物を注入する（領域108）（同図（c））。レジスト107を除去し、700℃以上の温度で熱処理する。この場合、Beを過度に拡散させず、拡散後のBe濃度ピークが $n^+ - \text{InP}$ 電界降下層105中にくるようにするのが好ましい。（同図（d））。

【0021】 InGaAs キャップ層106を選択エッチングにより除去し、MOVPEにより $n^- - \text{InP}$ 窓層109および InGaAs キャップ層110を成長する（同図（e））。 InGaAs キャップ層110を選択エッチングにより除去し、 SiN 膜111をマスクとして $n^- - \text{InP}$ 窓層109にCd等のp型不純物を選択拡散し p^+ 領域112を形成する。更に、無反射膜である

7

SiN膜113と環状の電極(Au/Zn)114を形成し、基板裏面にも電極(AuGe)115を形成して、APDを完成する(同図(f))。

【実施例2】実施例1と工程(e)までは同様に行う。

【0022】この構造上に、フォトレジスト201でパターンを形成し、このレジスト・パターン201をマスクとして再度Be等のp型不純物イオン注入を行い(領域202)、その後レジスト201を除去し、熱処理を行ってガードリング202を形成する(同図(f))。以下は実施例1と同様の手順により、InGaAsキャップ層110を除去し、SiN膜203をマスクとしてn-InP層103にCdを選択拡散してp⁺領域204を形成する。更に、無反射膜であるSiN膜205と環状の電極(Au/Zn)206を形成し、基板裏面にも電極(AuGe)207を形成して、APDを完成する(同図(g))。

【0023】本実施例では、拡散領域204の周辺部の濃度勾配を小さくできるので、ガードリング効果を更に高めることができる。

【0024】

【発明の効果】以上説明したように、本発明によれば、超高速度光通信用APDのガードリングでも容易に形成することが可能となり、APDの性能を著しく向上させることができる。

【図面の簡単な説明】

【図1】本発明に従ってAPDを製造する手順の一例を示す断面図である。

【図2】本発明に従ってAPDを製造する手順の他の例を示す断面図である。

【図3】従来のAPD製造工程の一つの典型例を示す断面図である。

【図4】従来のAPD製造工程の他の典型例を示す断面図である。

【図5】GB積と、受光部およびガードリング部のブレークダウン電圧とを、それぞれ電界降下量の関数として示すグラフである。

【図6】暗電流と逆バイアス電圧との関係を示すグラフである。

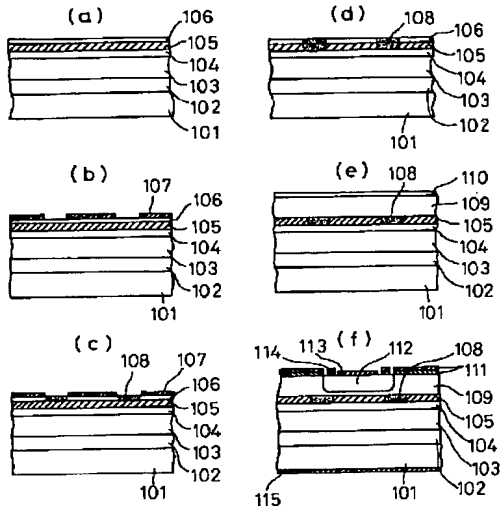
【符号の説明】

101…面方位(100)のn⁺InP基板
102…n⁺InPバッファ層
103…n⁻InGaAs光吸収層
104…n⁻InGaAsPヘテロ緩和層
105…n⁺InP電界降下層
106…InGaAsキャップ層
107…フォトレジスト(レジスト・パターン)
108…イオン注入によりBe等のp型不純物を注入した領域
109…n⁻InP窓層

8

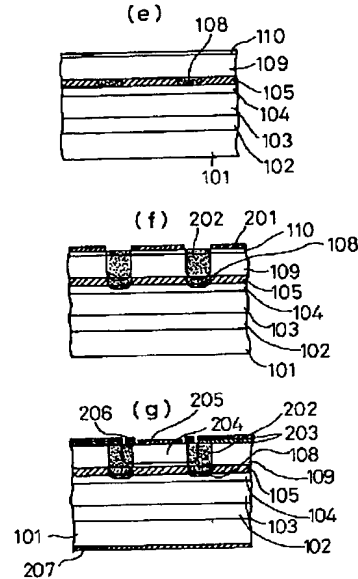
110…InGaAsキャップ層
111…SiN膜
112…Cd等のp型不純物を選択拡散して形成したp⁺領域
113…SiN無反射膜
114…環状電極(Au/Zn)
115…基板裏面電極(AuGe)
201…フォトレジスト(レジスト・パターン)
202…再度Be等のp型不純物イオン注入を行った領域(ガードリング)
203…SiN膜(マスク)
204…Cd等のp型不純物を選択拡散して形成したp⁺領域
205…SiN無反射膜
206…環状電極(Au/Zn)
207…基板裏面電極(AuGe)
301…面方位(100)のn⁺InP基板
302…n⁺InPバッファ層
303…n⁻InGaAs光吸収層
304…n⁻InGaAsPヘテロ緩和層
305…n⁺InP電界降下層
306…n⁻InP窓層
307…InGaAsキャップ層
308…フォトレジスト(レジスト・パターン)
309…イオン注入によりBe等のp型不純物を注入した領域
310…ガードリング
311…SiN膜(マスク)
312…Cd等のp型不純物を選択拡散して形成したp⁺領域
313…pn接合部
314…キャリア増倍層
315…SiN無反射膜
316…環状電極(Au/Zn)
317…基板裏面電極(AuGe)
401…面方位(100)のn⁺InP基板
402…n⁺InPバッファ層
403…n⁻InGaAs光吸収層
404…n⁻InGaAsPヘテロ緩和層
405…n⁺InP電界降下層
406…InGaAsキャップ層
407…フォトレジスト(レジスト・パターン)
408…n⁻InP窓層
409…InGaAsキャップ層
410…SiN膜(マスク)
411…Cd等のp型不純物を拡散した領域
412…SiN無反射膜
413…環状電極(Au/Zn)
414…基板裏面電極(AuGe)

【図1】



101…面方位(100)のn⁺InP基板
 102…n⁺InPバッファ層
 103…n⁺InGaAs光吸収層
 104…n⁺InGaAsPヘテロ緩和層
 105…n⁺InP電界降下層
 106…InGaAsキャップ層
 107…フォトリソist (レジスト・パターン)
 108…イオン注入によりBe等のp型不純物を注入した領域
 109…n⁺InP窓層
 110…n⁺InP電界降下層
 111…SiN膜
 112…Cd等のp型不純物を選択拡散して形成したp⁺領域
 113…SiN無反射膜
 114…環状電極 (Au/Zn)
 115…基板裏面電極 (AuGe)

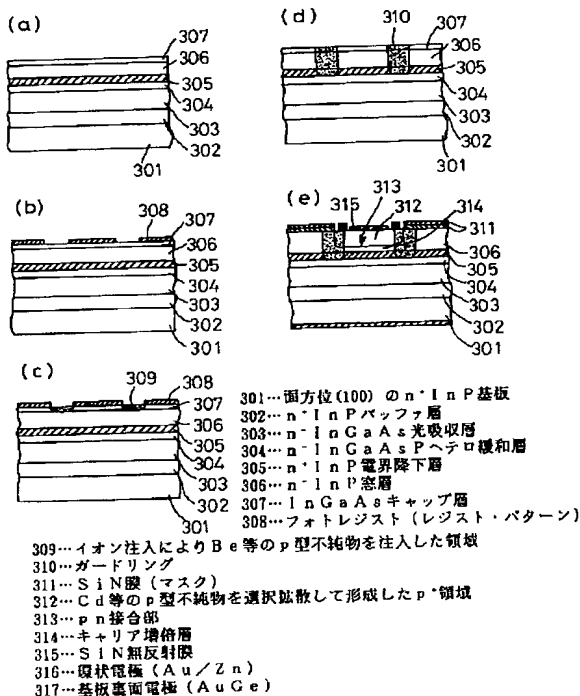
【図2】



201…フォトリソist (レジスト・パターン)
 202…再度Be等のp型不純物イオン注入を行った領域 (ガードリング)
 203…SiN膜 (マスク)
 204…Cd等のp型不純物を選択拡散して形成したp⁺領域
 205…SiN無反射膜
 206…環状電極 (Au/Zn)
 207…基板裏面電極 (AuGe)

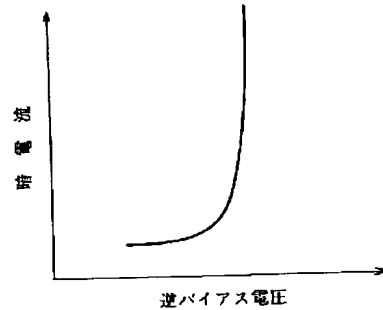
【図6】

【図3】

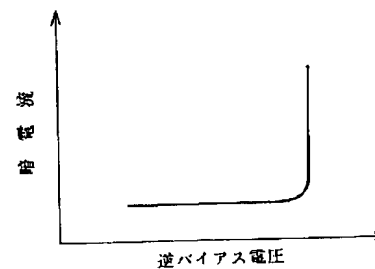


301…面方位(100)のn⁺InP基板
 302…n⁺InPバッファ層
 303…n⁺InGaAs光吸収層
 304…n⁺InGaAsPヘテロ緩和層
 305…n⁺InP電界降下層
 306…n⁺InP窓層
 307…InGaAsキャップ層
 308…フォトリソist (レジスト・パターン)
 309…イオン注入によりBe等のp型不純物を注入した領域
 310…ガードリング
 311…SiN膜 (マスク)
 312…Cd等のp型不純物を選択拡散して形成したp⁺領域
 313…pn接合部
 314…キャリア増倍層
 315…SiN無反射膜
 316…環状電極 (Au/Zn)
 317…基板裏面電極 (AuGe)

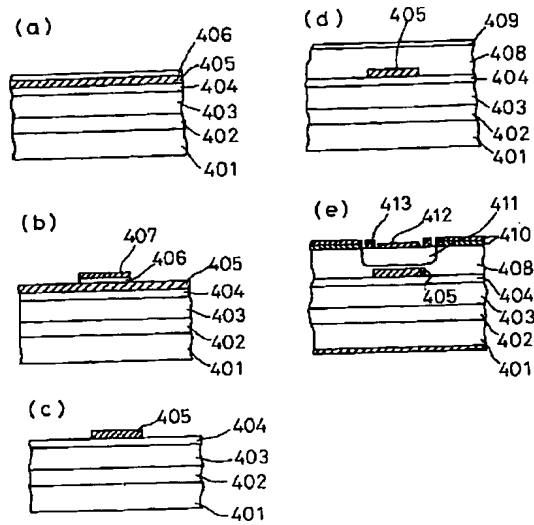
(a)



(b)

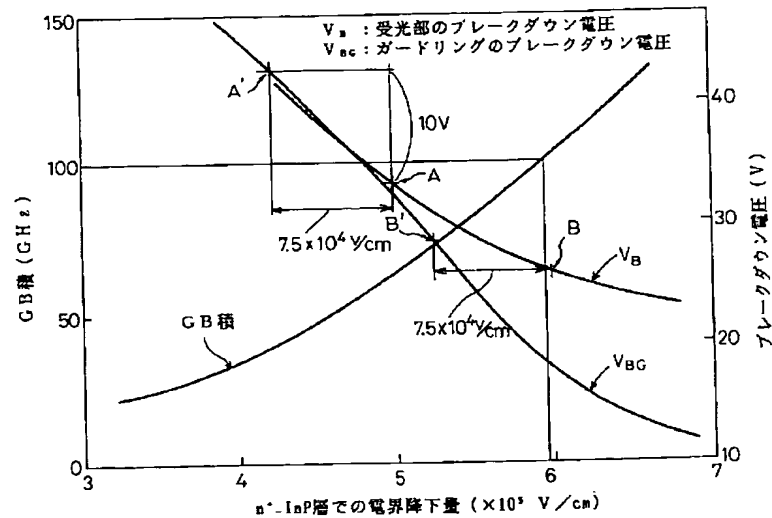


【図4】



- 401...面方位(100)のn⁺InP基板
 402...n⁺InPバッファ層
 403...n⁺InGaAs光吸収層
 404...n⁺InGaAsPヘテロ緩和層
 405...n⁺InP電界降下層
 406...InGaAsキャップ層
 407...フォトリソスト(レジスト・パターン)
 408...n⁺InP窓層
 409...InGaAsキャップ層
 410...SiN膜(マスク)
 411...Cd等のp型不純物を拡散した領域
 412...SiN無反射膜
 413...環状電極(Au/Zn)
 414...基板裏面電極(AuGe)

【図5】



フロントページの続き

(56)参考文献 特開 平2-202071 (J P, A)
特開 平1-292870 (J P, A)
特開 平3-126268 (J P, A)
特開 昭58-108778 (J P, A)
特開 平3-108775 (J P, A)

(58)調査した分野(Int. Cl.⁷, D B名)
H01L 31/10 - 31/119